

501.43296X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): ICHINOSE, et al

Serial No.:

Filed: December 12, 2003

Title: FABRICATION METHOD OF SEMICONDUCTOR
INTEGRATED CIRCUIT DEVICE

Group:

LETTER CLAIMING RIGHT OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

December 12, 2003

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s)
hereby claim(s) the right of priority based on Japanese Patent Application No.(s)
2002-361700 filed December 13, 2002.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



William I. Solomon
Registration No. 28,565

WIS/nac
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 1 3 日
Date of Application:

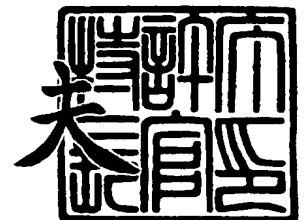
出 願 番 号 特 願 2 0 0 2 - 3 6 1 7 0 0
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 6 1 7 0 0]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02015641

【提出日】 平成14年12月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/28

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 一之瀬 一仁

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 大岸 秀次

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 奥谷 謙

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置の製造方法

【特許請求の範囲】

【請求項 1】 シリコン基板の主面上にコバルト膜を堆積する第 1 工程と、前記シリコン基板を熱処理することによって、前記シリコン基板と前記コバルト膜との界面にシリサイド層を形成する第 2 工程とを含み、

前記第 1 工程における前記コバルト膜の堆積を、前記シリコン基板と前記コバルト膜との界面にシリコンとコバルトの反応層が形成される温度よりも低い温度で行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 前記コバルト膜の堆積温度は、200℃未満であることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 3】 前記コバルト膜の堆積温度は、100℃未満であることを特徴とする請求項 2 記載の半導体集積回路装置の製造方法。

【請求項 4】 前記コバルト膜の堆積温度は、50℃未満であることを特徴とする請求項 3 記載の半導体集積回路装置の製造方法。

【請求項 5】 前記第 2 工程における前記シリコン基板の熱処理は、
(a) 前記シリコン基板と前記コバルト膜との界面に、ダイコバルトシリサイド (Co_2Si) を主成分とするシリサイド層を形成する第 1 熱処理と、
(b) 前記ダイコバルトシリサイドを主成分とするシリサイド層を、コバルトモノシリサイド (CoSi) を主成分とするシリサイド層に変換する第 2 熱処理と、
(c) 前記シリコン基板の主面上から前記コバルト膜の未反応部分を除去した後、前記コバルトモノシリサイドを主成分とするシリサイド層を、コバルトダイシリサイド (CoSi_2) を主成分とするシリサイド層に変換する第 3 熱処理とを含むことを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 6】 前記第 1 熱処理の温度は、200℃以上、400℃未満の範囲であり、前記第 2 熱処理の温度は、400℃以上、700℃未満の範囲であり、前記第 3 熱処理の温度は、700℃以上、900℃未満の範囲であることを特徴とする請求項 5 記載の半導体集積回路装置の製造方法。

【請求項 7】 前記第 1 工程と前記第 2 工程との間に、前記コバルト膜上に酸化バリア膜を堆積する工程をさらに含むことを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 8】 以下の工程を含む半導体集積回路装置の製造方法：

(a) 少なくともスパッタチャンバと熱処理チャンバとを含む複数のチャンバを備えたスパッタリング装置の第 1 スパッタチャンバ内で、シリコンウエハの主面上にコバルト膜を堆積する工程、

(b) 前記スパッタリング装置の第 2 スパッタチャンバ内で、前記コバルト膜が堆積された前記シリコンウエハの主面上に酸化バリア膜を堆積する工程、

(c) 前記第 2 スパッタチャンバ内で、前記酸化バリア膜が堆積された前記シリコンウエハを加熱する第 1 熱処理によって、前記シリコンウエハと前記コバルト膜との界面に、ダイコバルトシリサイド (Co_2Si) を主成分とするシリサイド層を形成する工程、

(d) 前記 (c) 工程の後、前記スパッタリング装置の熱処理チャンバ内で、前記シリコンウエハを前記第 1 熱処理よりも高温で加熱する第 2 熱処理によって、前記ダイコバルトシリサイドを主成分とするシリサイド層を、コバルトモノシリサイド (CoSi) を主成分とするシリサイド層に変換する工程、

(e) 前記 (d) 工程の後、前記シリコンウエハの主面上から、前記酸化バリア膜と前記コバルト膜の未反応部分とを除去する工程、

(f) 前記 (e) 工程の後、前記シリコンウエハを前記第 2 熱処理よりも高温で加熱する第 3 熱処理によって、前記コバルトモノシリサイドを主成分とするシリサイド層を、コバルトダイシリサイド (CoSi_2) を主成分とするシリサイド層に変換する工程。

【請求項 9】 前記 (a) 工程における前記コバルト膜の堆積温度は、200℃未満であることを特徴とする請求項 8 記載の半導体集積回路装置の製造方法。

【請求項 10】 前記 (a) 工程における前記コバルト膜の堆積温度は、100℃未満であることを特徴とする請求項 9 記載の半導体集積回路装置の製造方法。

【請求項 11】 前記（a）工程における前記コバルト膜の堆積温度は、50℃未満であることを特徴とする請求項 10 記載の半導体集積回路装置の製造方法。

【請求項 12】 前記（c）工程における前記第 1 熱処理の温度は、前記（b）工程における前記酸化バリア膜の堆積温度と同じであることを特徴とする請求項 8 記載の半導体集積回路装置の製造方法。

【請求項 13】 前記（c）工程における前記第 1 熱処理の温度は、200℃以上、400℃未満の範囲であることを特徴とする請求項 8 記載の半導体集積回路装置の製造方法。

【請求項 14】 前記（d）工程における前記第 2 熱処理の温度は、400℃以上、700℃未満の範囲であることを特徴とする請求項 8 記載の半導体集積回路装置の製造方法。

【請求項 15】 前記（f）工程における前記第 3 熱処理の温度は、700℃以上、900℃未満の範囲であることを特徴とする請求項 8 記載の半導体集積回路装置の製造方法。

【請求項 16】 前記（a）工程における前記コバルト膜の堆積時間および前記（b）工程における前記酸化バリア膜の堆積時間は、それぞれ 15 秒未満であることを特徴とする請求項 8 記載の半導体集積回路装置の製造方法。

【請求項 17】 以下の工程を含む半導体集積回路装置の製造方法：

（a）シリコン基板の主面に形成された一対の半導体領域からなるソース、ドレインと、前記シリコン基板の主面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有する M I S F E T を形成する工程、

（b）前記 M I S F E T が形成された前記シリコン基板の主面上に、前記ソース、ドレインを構成する前記半導体領域の表面にシリコンとコバルトの反応層が形成される温度よりも低い温度でコバルト膜を堆積する工程、

（c）前記コバルト膜上に酸化バリア膜を堆積する工程、

（d）前記コバルト膜と前記酸化バリア膜とが堆積された前記シリコン基板を第 1 の温度で熱処理することによって、前記ソース、ドレインを構成する前記半導体領域の表面に、ダイコバルトシリサイド（C o₂S i）を主成分とするシリサ

イド層を形成する工程、

(e) 前記シリコン基板を前記第1の温度よりも高い第2の温度で熱処理することによって、前記ダイコバルトシリサイドを主成分とするシリサイド層を、コバルトモノシリサイド (CoSi) を主成分とするシリサイド層に変換する工程、

(f) 前記(e)工程の後、前記シリコン基板の主面上から、前記酸化バリア膜と前記コバルト膜の未反応部分とを除去する工程、

(g) 前記(f)工程の後、前記シリコン基板を前記第2の温度よりも高い第3の温度で熱処理することによって、前記コバルトモノシリサイドを主成分とするシリサイド層を、コバルトダイシリサイド (CoSi_2) を主成分とするシリサイド層に変換する工程。

【請求項18】 前記コバルト膜の堆積温度は、200℃未満、好ましくは100℃未満、さらに好ましくは50℃未満であることを特徴とする請求項17記載の半導体集積回路装置の製造方法。

【請求項19】 前記第1の温度は、200℃以上、400℃未満の範囲であり、前記第2の温度は、400℃以上、700℃未満の範囲であり、前記第3の温度は、700℃以上、900℃未満の範囲であることを特徴とする請求項18記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置の製造技術に関し、特に、シリコン基板に形成されたMISFET (Metal Insulator Semiconductor Field Effect Transistor) のソース、ドレインの表面にCo (コバルト) シリサイド層を形成するプロセスに適用して有効な技術に関するものである。

【0002】

【従来の技術】

Coシリサイドのスパイクを抑制することを目的としたシリサイドプロセスとしては、シリコン基板のソース、ドレインの表面にCo膜とTiN膜 (酸化バリア膜) とを堆積した後、400℃未満の温度で第1回目の熱処理を行ってダイコ

バルトシリサイド (Co_2Si) 膜を形成し、その後、 TiN 膜と未反応の Co 膜をウェットエッチングで除去し、さらに $700^\circ\text{C} \sim 900^\circ\text{C}$ の温度で第2回目の熱処理を行ってコバルトダイシリサイド (CoSi_2) 膜を形成する技術が知られている (特許文献1およびその対応米国特許である特許文献2ならびに特許文献3およびその対応米国特許である特許文献4 参照)。

【0003】

【特許文献1】

特開平11-283935号公報

【0004】

【特許文献2】

米国特許第6221764号公報

【0005】

【特許文献3】

特開2000-243726号公報

【0006】

【特許文献4】

米国特許第6337272号公報

【0007】

【発明が解決しようとする課題】

MISFET のソース、ドレインを構成する半導体領域や、ゲート電極を構成する多結晶シリコン膜の表面に Co (コバルト) シリサイド層を形成するシリサイド (あるいはサリサイド) 技術は、 MISFET の高速動作を実現する上で必須の技術となっている。

【0008】

通常、シリコン基板に形成されたソース、ドレインの表面に Co シリサイド層を形成するには、まず、ソース、ドレインを形成したシリコン基板上にスパッタリング法で Co 膜を堆積し、次に Co 膜の酸化を防止する TiN (窒化チタン) 膜などの酸化バリア膜を Co 膜の上部に堆積する。次に、シリコン基板を熱処理することによって、シリコン基板と Co 膜との界面に Co シリサイド層を形成し

た後、不要となった酸化バリア膜と未反応のC o膜をウェットエッチングで除去する。

【0009】

上記のようなプロセスによってC oシリサイド層を形成するに際しては、シリコン基板とC oシリサイド層との界面の平坦性劣化（いわゆるスパイクと呼ばれる現象）に起因する接合リーク電流の増加を極力抑制することが重要である。

【0010】

シリコン基板上に堆積したC o膜を熱処理すると、両者の界面に形成されるC oシリサイド層の組成は、温度の上昇につれてダイコバルトシリサイド（C o₂Si）からコバルトモノシリサイド（C oSi）、さらにコバルトダイシリサイド（C oSi₂）へと変化し、最終的に得られるコバルトダイシリサイド（C oSi₂）の抵抗値が最も小さいことが知られている。

【0011】

本発明者らは、スパッタリング法によるC o膜の堆積とその後の熱処理過程について注意深く検討した結果、次のような知見を見出した。

【0012】

まず、従来のC oシリサイドプロセスにおいては、シリコン基板上にスパッタリング法でC o膜を堆積する際、コバルトの衝突エネルギーなどによる基板温度の上昇に起因して成膜中のC o膜とシリコン基板との界面に所望しない反応層が形成される。この反応層は、C o膜の成膜時間が短いことや、ウエハ面内の温度上昇が不均一なことからその膜厚が不均一となり易いため、その後の熱処理によって形成されるコバルトダイシリサイド層とシリコン基板との界面の平坦性が上記反応層の膜厚ばらつきによって劣化し、ソース、ドレインの底部とC oシリサイド層の底部との距離が短くなるために、接合リーク電流の増加を引き起こす。

【0013】

また、シリコン基板上にC o膜を堆積した後、低温の熱処理と高温の熱処理を行って、ダイコバルトシリサイド（C o₂Si）をコバルトモノシリサイド（C oSi）からコバルトダイシリサイド（C oSi₂）へ変化させようとする、C oとシリコンの反応が急速に進行し、最終的に得られたコバルトダイシリサイ

ド (CoSi_2) 層とシリコン基板との界面に高抵抗のダイコバルトシリサイド (Co_2Si) 層やコバルトモノシリサイド (CoSi) 層が残留する。その結果、ソース、ドレイン間の寄生抵抗が増加し、信号遅延の問題を引き起こす。

【0014】

本発明の目的は、MISFETのソース、ドレインの表面に低抵抗で信号遅延がなく、リーク電流の少ない CoSi 層を形成することのできる技術を提供することにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】

本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

(a) 少なくともスパッタチャンバと熱処理チャンバとを含む複数のチャンバを備えたスパッタリング装置の第1スパッタチャンバ内で、シリコンウエハの主面上に 200°C 未満の温度でコバルト膜を堆積する工程、

(b) 前記スパッタリング装置の第2スパッタチャンバ内で、前記コバルト膜が堆積された前記シリコンウエハの主面上に 200°C 以上、 400°C 未満の温度で酸化バリア膜を堆積する工程、

(c) 前記第2スパッタチャンバ内で、前記酸化バリア膜が堆積された前記シリコンウエハを 200°C 以上、 400°C 未満の温度で加熱することによって、前記シリコンウエハと前記コバルト膜との界面に、ダイコバルトシリサイド (Co_2Si) を主成分とするシリサイド層を形成する工程、

(d) 前記(c)工程の後、前記スパッタリング装置の熱処理チャンバ内で、前記シリコンウエハを 400°C 以上、 700°C 未満の温度で加熱することによって、前記ダイコバルトシリサイドを主成分とするシリサイド層を、コバルトモノシリ

サイド (C o S i) を主成分とするシリサイド層に変換する工程、

(e) 前記 (d) 工程の後、前記シリコンウエハの主面上から、前記酸化バリア膜と前記コバルト膜の未反応部分とを除去する工程、

(f) 前記 (e) 工程の後、前記シリコンウエハを 700℃以上、900℃未満の温度で加熱することによって、前記コバルトモノシリサイドを主成分とするシリサイド層を、コバルトダイシリサイド (C o S i₂) を主成分とするシリサイド層に変換する工程。

【0018】

本願に含まれるその他の発明の概要を箇条書きにして示せば、以下のごとくである。

20. 以下の工程を含む半導体集積回路装置の製造方法:

(a) ウエハの第1の主面上のシリコンベース表面領域のMISFETのソースおよびドレイン領域となるべき半導体領域に、前記ウエハの温度をシリコンとコバルトが実質的に反応しない程度の第1の温度に保持した状態で、コバルトを堆積する工程;

(b) 前記工程 (a) の後、コバルトが堆積された前記ウエハの前記第1の主面に対して、第1の温度よりも高い第2の温度で第1の熱処理を実行することにより、前記シリコンベース表面領域のシリコンと前記堆積されたコバルトを反応させる工程;

(c) 前記工程 (b) の後、前記堆積されたコバルト内の未反応のコバルトを除去する工程;

(d) 前記工程 (c) の後、未反応のコバルトが除去された前記ウエハの前記第1の主面に対して、第2の温度よりも高い第3の温度で第2の熱処理を実行することにより、残留したコバルトとシリコンの反応膜をコバルトダイシリサイドを主成分とする膜に変換する工程。

21. 前記第20項において、前記第1の温度は摂氏200度未満である半導体集積回路装置の製造方法。

22. 前記第21項において、前記第1の熱処理工程は、以下の工程を含む半導体集積回路装置の製造方法:

(i) コバルトが堆積された前記ウエハの前記第1の主面に対して、第1の温度よりも高く、且つ第2の温度よりも低い第4の温度で、前処理を実行することにより、前記シリコンベース表面領域のシリコンと前記堆積されたコバルトを反応させて、前記堆積されたコバルトの一部をダイコバルトシリサイドを主成分とする第1のシリサイド部材に変換する工程；

(ii) 前記工程(i)の後、前記ウエハの前記第1の主面に対して、前記第2の温度で第1の熱処理を実行することにより、第1のシリサイド部材をコバルトモノシリサイドを主成分とする第2のシリサイド部材に変換する工程。

23. 前記第22項において、前記第1の温度は摂氏100度未満である半導体集積回路装置の製造方法。

24. 前記第22項において、前記第1の温度は摂氏50度未満である半導体集積回路装置の製造方法。

25. 前記第22項において、前記第1の温度は常温である半導体集積回路装置の製造方法。

26. 前記第25項において、前記第1の温度は摂氏35度未満である半導体集積回路装置の製造方法。

27. 前記第22項において、前記コバルトの堆積はスパッタリング法によって行われる半導体集積回路装置の製造方法。

28. 前記第27項において、前記スパッタリング法は高指向性スパッタ法である半導体集積回路装置の製造方法。

29. 前記第28項において、前記高指向性スパッタ法はロングスロースパッタ法である半導体集積回路装置の製造方法。

30. 前記第22項において、前記工程(i)の開始から(ii)の完了までの間は、前記被処理ウエハは外気に触れさせないようにして行われる半導体集積回路装置の製造方法。

【0019】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付

し、その繰り返しの説明は省略する。

【0020】

さらに、以下の実施例では便宜上その必要があるときは、複数のセクションまたは実施例に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

【0021】

また、以下の実施例において、要素の数など（個数、数値、量、範囲などを含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0022】

さらに、以下の実施例において、その構成要素（要素ステップなどを含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合などを除き、必ずしも必須のものではないことはいうまでもない。

【0023】

同様に、以下の実施例において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合などを除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは上記数値および範囲についても同様である。

【0024】

また、本願で半導体集積回路装置と言うときは、シリコン単結晶ウエハ上に作られるものだけでなく、特にそうでない旨明示された場合を除き、SOI基板上に作られたもの、その他TFT液晶などの他の基板上に作られるものなども含むものとする。同様に、ウエハと言うときは、特にそうでない旨明示された場合をのぞき、シリコン単結晶ウエハのみでなく、SOI基板、その他TFT液晶など作成するためのほぼ円盤状または長方形の集積回路基板などを含むものとする。

【0025】

また、シリコン基板表面部分、またはいわゆるポリシリコン電極などについて

、シリコンというときは、特にそうでない旨明記した場合またはそうでないことが明確である場合を除き、シリコンに必要な応じて不純物を導入したシリコンを主要な成分とするもの、シリコンにゲルマニウムなどを加えて合金としてその性能を向上した（SiGe化した基板表面領域、SiGe化した多結晶シリコン電極など）シリコンベース部材を含むものとする。

【0026】

また、ポリシリコンなどと言うときは、特にそうでない旨明記した場合またはそうでないことが明確である場合を除き、典型的な多結晶シリコンだけでなく、アモルファスシリコンおよび微結晶シリコンなども含むものとする。これは、一般に、ポリシリコンも形成当初はアモルファスシリコンである場合があり、これが後の熱処理により狭義のポリシリコンに変化するのが一般的であるが、どの時点で狭義のポリシリコンに変化したかを特定することが困難なためである。

【0027】

また、部材の成分に言及する場合（例えば、Aからなる部材X）、特にそうでない旨明記した場合またはそうでないことが明確である場合を除き、それ以外の成分の含有を排除するものではない。雰囲気ガスなどについても同じである。

【0028】

また、CMOS型集積回路といっても、ゲート絶縁膜が、酸化膜に限られるものでないことは言うまでもない。例えば、非酸化膜系の無機絶縁膜である窒化シリコン膜をゲート絶縁膜とするものなどを含む。このことは「メタル」、「半導体」についても同じである。

【0029】

本実施の形態は、CMOS-LSIに適用したものであり、その製造方法を図1～図11を用いて工程順に説明する。

【0030】

まず、図1に示すように、例えば1～10Ωcm程度の比抵抗を有するp型の単結晶シリコンからなる半導体基板（以下、基板またはウエハという）1に素子分離溝2を形成する。素子分離溝2を形成するには、素子分離領域の基板1をエッチングして溝を形成した後、溝の内部を含む基板1上にCVD法で酸化シリコン

膜 3 を堆積し、続いて溝の外部の不要な酸化シリコン膜 3 を化学的機械研磨法によって、研磨、除去する。

【0031】

次に、基板 1 の一部にホウ素をイオン注入し、他の一部にリンをイオン注入することによって、p 型ウエル 4 および n 型ウエル 5 を形成した後、基板 1 をスチーム酸化することによって、p 型ウエル 4 および n 型ウエル 5 のそれぞれの表面にゲート酸化膜 6 を形成する。

【0032】

次に、図 2 に示すように、p 型ウエル 4 および n 型ウエル 5 のそれぞれの上部にゲート電極 7 を形成する（いわゆるデュアルゲート構成の CMOS または CMIS の集積回路である）。ゲート電極 7 を形成するには、例えばゲート酸化膜 6 の上部に CVD 法で多結晶シリコン膜（実際には、堆積時にはアモルファス状態の場合が多いが、その後のいずれかの熱処理で多結晶化するので、便宜上、特に特定する場合を除き、これらも含めて「多結晶シリコン」と言うことにする）を堆積した後、p 型ウエル 4 の上部の多結晶シリコン膜にリンをイオン注入し、n 型ウエル 5 の上部の多結晶シリコン膜にホウ素をイオン注入した後、フォトリソ膜をマスクにしたドライエッチングで多結晶シリコン膜をパターンニングする。

【0033】

次に、p 型ウエル 4 にリンまたはヒ素をイオン注入することによって低不純物濃度の n-型半導体領域 8 を形成し、n 型ウエル 5 にホウ素をイオン注入することによって低不純物濃度の p-型半導体領域 9 を形成する。

【0034】

次に、図 3 に示すように、基板 1 上に CVD 法で堆積した窒化シリコン膜を異方的にエッチングすることによって、ゲート電極 7 の側壁にサイドウォールスペーサ 10 を形成すると共に、基板 1（n-型半導体領域 8、p-型半導体領域 9）の表面を露出させる。続いて、p 型ウエル 4 にリンまたはヒ素をイオン注入することによって高不純物濃度の n+型半導体領域 11（ソース、ドレイン）を形成し、n 型ウエル 5 にホウ素をイオン注入することによって高不純物濃度の p+型

半導体領域 12 (ソース、ドレイン) を形成する。

【0035】

次に、基板 1 の表面をバッファードフッ酸でバッチ洗浄した後（洗浄は、シリコン表面の自然酸化膜を除去するため、または上記イオン注入を CVD 酸化膜などを通して行う場合には、その酸化膜を除去するために行う）、ゲート電極 7、 n^+ 型半導体領域 11 (ソース、ドレイン) および p^+ 型半導体領域 12 (ソース、ドレイン) のそれぞれの表面に、以下の方法で Co (コバルト) シリサイド層を形成する。これは、いわゆるサリサイド方式と呼ばれるもので、ゲート電極の側壁の分離作用を利用してゲート上とソースドレイン上のシリサイド化を自己整合的に行うものである。この方式は、ゲート上も同時にシリサイド化でき、低抵抗化できるメリットがある。一方、ポリメタルゲート電極（またはメタル電極）の場合は、ゲート電極上では、メタルによりさらに低抵抗化されているため、シリサイド化の対象ではないので、コバルトを堆積する前に、ゲート電極上を絶縁膜で被覆しておく必要がある。

【0036】

図 4 は、Co シリサイド層の形成に用いる枚葉式マルチチャンバスパッタリング装置の概略平面図である。この装置では、多くのマルチチャンバ式の装置と同様に各チャンバ間を、ウエハを外気に触れさせることなく移動することができる。このような装置で、コバルトのデポジション（スパッタリング）から第 2 アニールまでを外気に触れさせないで実行する場合は、以下に説明する耐酸化バリア膜は、必須ではない。一方、このプロセスが、このような連続処理で、単一のマルチチャンバ型装置で行われず、非処理ウエハが、途中で外気に触れる場合（例えばコバルトデポジション後に大気解放して、別の装置で TiN などの耐酸化バリア膜をスパッタリングする場合など）には、以下に説明するような TiN などの耐酸化バリア膜を用いるのが有利である。逆に、一体のマルチチャンバ装置を用いて、途中でウエハを外気に触れさせずに処理する場合は、TiN などの耐酸化バリア膜を用いない方が、それらの除去の際のウェットエッチングによるダメージが避けられる点で有利である。

【0037】

このスパッタリング装置 100 は、第 1 スパッタチャンバ 101、第 2 スパッタチャンバ 102、熱処理チャンバ 103 などを含む複数のチャンバと、これら複数のチャンバに基板（ウエハ）1 を搬送するロボットハンド 104、105 と、ローダ 106 およびアンローダ 107 とを備え、成膜と熱処理を装置の内部で一貫して行うことができる構成になっている。

【0038】

上記スパッタリング装置 100 を使用して Co シリサイド層を形成するには、まず、第 1 スパッタチャンバ 101 内にウエハ 1 を搬入し、図 5 に示すように、基板（ウエハ）1 の主面上に Co 膜 13 を堆積する。

【0039】

上記 Co 膜 13 の堆積は、基板（ウエハ）1 に形成されたソース、ドレイン（ n^+ 型半導体領域 11、 p^+ 型半導体領域 12）と Co 膜 13 との界面に Si と Co との反応層が形成されないような低い温度、具体的には、200℃未満、好ましくは 100℃未満、さらに好ましくは 50℃未満の温度で堆積する。なお、ここでいう温度とは、第 1 スパッタチャンバ 101 内のウエハ 1 の表面温度（集積回路形成側主面）を意味している。

【0040】

本実施の形態では、ウエハ 1 の表面温度を室温（25℃）に維持し（室温とは一般に 25℃を中心にして、15℃以上、35℃未満を言うが、それ以下の温度を排除するものではない）、膜厚 10 nm 程度の Co 膜 13 を堆積した。ウエハ 1 の表面温度を室温（25℃）に維持するには、例えば静電チャックを放熱性のよい材料で構成したり、静電チャック内に冷媒を循環させるなどの熱交換対策を講じるとよい。なお、静電チャックに限らず、他のタイプのチャックを用いてもよい。静電チャックを用いると、ウエハとの密着性がよいので、温度制御および温度分布特性がよい。ただし、このような対策を講じた場合であっても、Co 膜 13 の成膜時間が長くなるとコバルトの衝突による加熱（不均一な温度分布の要因となることがある）などによってウエハ 1 の温度が次第に上昇するため、本実施の形態では、15 秒未満、望ましくは 10 秒以下の短時間（例えば 10 秒）で堆積した。このときのターゲットのコバルト純度は非金属不純物を除き、99.

99重量%以上、より好ましくは99.999重量%以上であり、アルゴン雰囲気
の気圧は例えば0.4から1Pa（この範囲に限定されるものではない）、タ
ーゲット距離（動作時のターゲットからウエハ間での最短距離）は例えば50m
m（通常スパッタリング装置）、ただし、良好な被覆特性を得るためには、高指
向性スパッタ装置（ターゲット距離190mm程度のロングスロースパッタ装置
やイオン化スパッタ装置）が望ましい。

【0041】

このように、Co膜13を低温で成膜し、成膜中に基板（ウエハ）1とCo膜
13との界面にSiとCoとの反応層を生じさせないことにより、その後のシリ
サイド反応を良好に進行させることが可能となる。

【0042】

次に、ウエハ1を第1スパッタチャンバ101から第2スパッタチャンバ10
2に移し、図6に示すように、Co膜13の上に膜厚10nm程度のTiN（窒
化チタン）膜14を堆積する。TiN膜14は、Coシリサイド層を形成する過
程でCo膜13の表面が酸化されるのを防ぐ酸化バリア膜として使用される。酸
化バリア膜としては、TiN膜14以外にも、例えばWN（窒化タングステン）
膜やTa₂N（窒化タンタル）膜のような窒化金属化合物膜を使用することも可能
である。

【0043】

このときのスパッタリングは、いわゆる反応性スパッタリングによって行われ
る。すなわち、アルゴンと窒素ガスの混合雰囲気（例えば気圧0.4から1Pa
。この範囲に限定されるものではない）中でチタンターゲット（TiN膜の場合
）を用いて酸化バリア膜スパッタリングを行う。この際のターゲットのチタン純
度は、非金属不純物を除き、99.99重量%以上、より好ましくは99.99
9重量%以上である。ターゲット距離（動作時のターゲットからウエハ間での最
短距離）は例えば50mm（通常スパッタリング装置）、ただし、良好な被覆特
性を得るためには高指向性スパッタ装置（ターゲット距離190mm程度のロン
グスロースパッタ装置など）が望ましい。TiNを耐酸化バリア膜とした場合は
、アルミニウム配線やダマシン配線で使用された結果、安定したプロセスを利用

することができる。

【0044】

上記TiN膜14の堆積は、基板（ウエハ）1とその表面に堆積されたCo膜13との間のシリサイド反応が急速に進まないような低い温度、具体的には、200℃以上、400℃未満の温度範囲（ウエハの表面温度）で行う。なお、TiN膜14の成膜時間が長くなると輻射熱などによってウエハ1の温度が必要以上に上昇するため、本実施の形態では、15秒未満、望ましくは10秒以下の短時間（例えば8秒）で堆積した。

【0045】

ここで、上記CoスパッタリングまたはTiNなどの耐酸化バリア（リフラクトリメタル窒化物）膜スパッタリングなどで用いるスパッタリング装置の詳細を説明する。図12は、Coスパッタリング装置であり、符号111は高純度コバルトターゲット、112はAr（アルゴン）プラズマ、113は対象物である集積回路ウエハ、114はウエハ保持台である。

【0046】

図13は、TiNなどのスパッタリング装置であり、符号115は高純度Tiターゲット、112はArプラズマ、113は対象物である集積回路ウエハ、114はウエハ保持台である。この場合は、反応性スパッタリングであるので、窒素ガスが流されている状態でスパッタリングが行われる。

【0047】

図14は、これらのウエハ保持台114の詳細を示す内部分解見取り図である。符号114aはウエハ保持台114の本体部であり、116はその下に設けられた加熱用のヒータプレート（抵抗加熱型）、117はウエハ冷却用の冷却プレート、118はそのための冷却水ライン、119はこれらを封入するためのフランジおよびベローズである。

【0048】

次に、上記第2スパッタチャンバ102内でウエハ1の熱処理（第1アニール）を行うことにより、図7に示すように、基板（ウエハ）1に形成されたソース、ドレイン（n⁺型半導体領域11、p⁺型半導体領域12）とCo膜13との界

面、および多結晶シリコン膜からなるゲート電極 7 と Co 膜 13 との界面にそれぞれダイコバルトシリサイド (Co_2Si) 層 15a を形成する。

【0049】

この熱処理は、ソース、ドレイン (n^+ 型半導体領域 11、 p^+ 型半導体領域 12) と Co 膜 13 との界面でシリサイド反応が急速に進み、ダイコバルトシリサイド (Co_2Si) 層 15a を主成分とするシリサイド層がコバルトモノシリサイド (CoSi) やコバルトダイシリサイド (CoSi_2) を主成分とするシリサイド層に変換されないような低い温度、具体的には、上述した TiN 膜 14 の堆積温度と同じ 200℃以上、400℃未満の温度範囲 (ウエハの表面温度) で行う。本実施の形態では、ウエハ支持手段 (例えば静電チャックなど) により温度調節または加熱することによってウエハ表面の温度を 300℃に設定して TiN 膜 14 を堆積した後、引き続きウエハ支持手段により温度調節または加熱することによって、ウエハ表面の温度を 300℃に維持した状態で約 4 分間の熱処理 (第 1 アニール) を行った。

【0050】

次に、ウエハ 1 を第 2 スパッタチャンバ 102 から熱処理チャンバ 103 に移し、非酸化性ガス雰囲気中で第 2 回目の熱処理 (第 2 アニール) を行うことにより、図 8 に示すように、上記ダイコバルトシリサイド (Co_2Si) 層 15a を主成分とするシリサイド層をコバルトモノシリサイド (CoSi) 層 15b に変換する。この熱処理は、ソース、ドレイン (n^+ 型半導体領域 11、 p^+ 型半導体領域 12) と Co 膜 13 との界面でシリサイド反応が急速に進み、コバルトモノシリサイド (CoSi) 層 15b を主成分とするシリサイド層がコバルトダイシリサイド (CoSi_2) 層を主成分とするシリサイド層に変換されないような温度、具体的には、400℃以上、700℃未満の温度範囲 (ウエハの表面温度) で行う。本実施の形態では、熱処理チャンバ 103 内を窒素ガス雰囲気としウエハ表面の温度を 500℃に設定して RTA (Rapid Thermal Anneal) 方式の熱処理を行った。

【0051】

次に、ウエハ 1 をスパッタリング装置 100 から取り出した後、図 9 に示すよ

うに、まずアンモニアと過酸化水素の混合液を使ったウェットエッチングでTiN膜14を除去し、続いて塩酸と過酸化水素の混合液を使ったウェットエッチングで未反応のCo膜13を除去する。

【0052】

次に、ウエハ1をスパッタリング装置100の熱処理チャンバ103、または同マルチチャンバ型装置の別のチャンバ、または別の熱処理装置の処理チャンバに移し、非酸化性ガス雰囲気中で第3回目の熱処理（第3アニール）を行うことにより、図10に示すように、上記コバルトモノシリサイド（CoSi）層15bを主成分とするシリサイド層を、コバルトダイシリサイド（CoSi₂）層15に変換する。この熱処理は、前記第2回目の熱処理よりも高い温度、具体的には、700℃以上、900℃未満の温度範囲で行う。

【0053】

本実施の形態では、熱処理チャンバ103内を窒素ガス雰囲気とし、ウエハ表面の温度を740℃に設定してRTA方式の熱処理を行った。なお、コバルトモノシリサイド（CoSi）層15bをコバルトダイシリサイド（CoSi₂）層15に変換するための上記熱処理は、スパッタリング装置100以外のRTA装置などを使って行ってもよい。一般に、処理温度の異なる処理は、別の装置または同一の装置の別のチャンバで行う方が、スループットが高くなるとされている。逆に、同一の装置の同一のチャンバで処理する場合は、少ない装置で、多くのウエハを処理できるメリットがある。

【0054】

ここまでの工程により、基板（ウエハ）1に形成されたソース、ドレイン（n⁺型半導体領域11、p⁺型半導体領域12）とCo膜13との界面、および多結晶シリコン膜からなるゲート電極7とCo膜13との界面に、コバルトダイシリサイド（CoSi₂）層15を主成分とするシリサイド層が形成され、nチャネル型MISFET（Q_n）およびpチャネル型MISFET（Q_p）が完成する。

【0055】

その後、図11に示すように、基板1上にCVD法で窒化シリコン膜16およ

び酸化シリコン膜 17 を堆積し、続いてソース、ドレイン (n^+ 型半導体領域 11、 p^+ 型半導体領域 12) のそれぞれの上部の酸化シリコン膜 17 および窒化シリコン膜 16 をドライエッチングしてコンタクトホール 18 を形成した後、コンタクトホール 18 の内部を含む酸化シリコン膜 17 上に W 配線 20 を形成する。

【0056】

さらに、ドライエッチング法もしくは CMP 法を用いて、コンタクトホールを充填する配線プラグとする。続いて、スパッタ法によりチタン膜と窒化チタン膜を形成し、さらに同じくスパッタ法で、例えば摂氏 300 度程度の温度で窒素などの不活性雰囲気中にてアルミニウム・銅を成膜し、半導体素子間の配線金属膜としてアルミ合金膜を形成し、積層配線層を形成する。

【0057】

このように、本実施の形態による Co シリサイド層の形成方法によれば、Co 膜 13 を低温で成膜することにより、成膜中の Co 膜 13 と基板 1 との界面に所望しない反応層が形成されないので、最終的に形成されるコバルトダイシリサイド (CoSi_2) 層 15 を主成分とするシリサイド層と基板 1 との界面を平坦化することができ、接合リーク電流の増加を防ぐことができる。

【0058】

また、Co 膜 13 を堆積した後の熱処理を 3 段階に分け、ダイコバルトシリサイド (Co_2Si) 層 15a からコバルトモノシリサイド (CoSi) 層 15b への変換、およびコバルトモノシリサイド (CoSi) 層 15b からコバルトダイシリサイド (CoSi_2) 層 15 への変換を徐々に行うようにしたので、最終的に得られるコバルトダイシリサイド (CoSi_2) 15 と基板 1 との界面に高抵抗のコバルトモノシリサイド (CoSi) 層 15b やダイコバルトシリサイド (Co_2Si) 層 15a が残留することがない。

【0059】

これにより、ソース、ドレイン (n^+ 型半導体領域 11、 p^+ 型半導体領域 12) の底部とコバルトダイシリサイド (CoSi_2) 層 15 の底部との距離が確保され、接合リーク電流の増加を防ぐことができる。しかも、コバルトダイシリサ

イド (CoSi_2) 層 15 と基板 1 との界面に高抵抗層が形成されないため、寄生抵抗が小さくなり、信号遅延が生じない。

【0060】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0061】

例えば、前記実施の形態では、 TiN 膜の堆積と第 1 回目の熱処理を同一スパッタチャンバ内で行ったが、別個のチャンバ内で行ってもよい。

【0062】

例えば、本発明による MISFET を 6 トランジスタ構成のフル CMOS 型メモリセルを有する SRAM (Static Random Access Memory) に適用した場合には、メモリセルのフリップフロップを構成する MISFET のソースおよびドレインがコバルトシリサイド化されたシリコン基板表面直下に作られるので、スタンバイ状態の接合リーク電流を低減することができる。

【0063】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0064】

MISFET のソース、ドレイン上に堆積した Co 膜を熱処理して Co シリサイド層を形成する際、 Co 膜を低温で堆積した後、熱処理を 3 回に分けて行い、 Co シリサイド層をダイコバルトシリサイド (Co_2Si)、コバルトモノシリサイド (CoSi)、次いでコバルトダイシリサイド (CoSi_2) に順次変換することにより、接合リーク電流が少なく、かつ低抵抗のソース、ドレインを形成することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板

の要部断面図である。

【図 2】

本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 3】

本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 4】

C o シリサイド層の形成に用いる枚葉式マルチチャンバスパッタリング装置の概略平面図である。

【図 5】

本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 6】

本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 7】

本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 8】

本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 9】

本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 1 0】

本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 1 1】

本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 1 2】

本発明の一実施の形態で用いるコバルトスパッタリング装置の断面概念図である。

【図 1 3】

本発明の一実施の形態で用いる T i N スパッタリング装置の断面概念図である。

【図 1 4】

図 1 2 に示すコバルトスパッタリング装置および図 1 3 に示す T i N スパッタリング装置の模式的分解見取り図である。

【符号の説明】

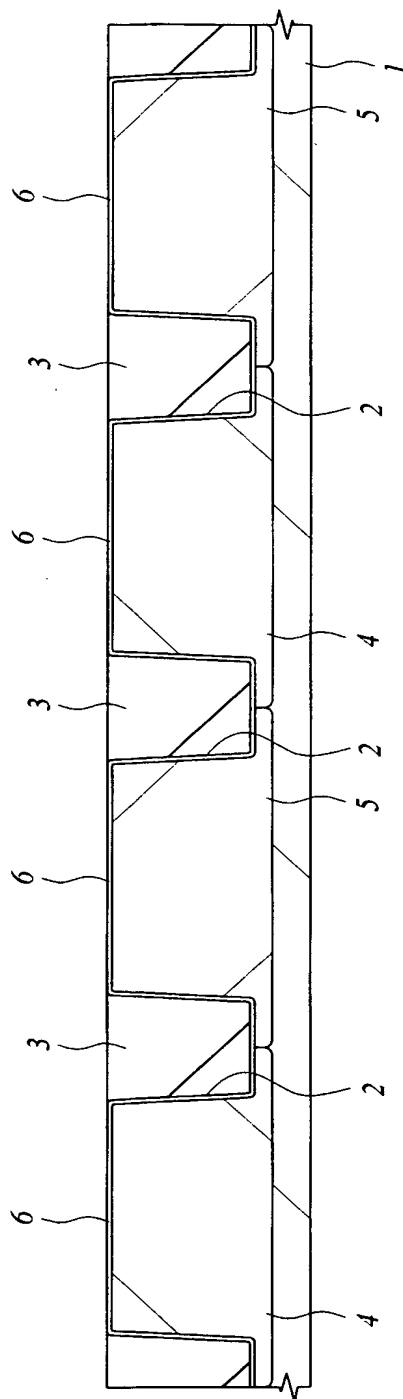
- 1 半導体基板（ウエハ）
- 2 素子分離溝
- 3 酸化シリコン膜
- 4 p 型ウエル
- 5 n 型ウエル
- 6 ゲート酸化膜
- 7 ゲート電極
- 8 n-型半導体領域
- 9 p-型半導体領域
- 10 サイドウォールスペーサ
- 11 n+型半導体領域（ソース、ドレイン）
- 12 p+型半導体領域（ソース、ドレイン）
- 13 Co 膜
- 14 TiN 膜
- 15 a Co₂Si 層
- 15 b CoSi 層
- 15 CoSi₂層

- 16 窒化シリコン膜
- 17 酸化シリコン膜
- 18 コンタクトホール
- 20 W配線
- 100 スパッタリング装置
- 101 第1スパッタチャンバ
- 102 第2スパッタチャンバ
- 103 熱処理チャンバ
- 104、105 ロボットハンド
- 106 ロータ
- 107 アンローダ
- 111 Coターゲット
- 112 Arプラズマ
- 113 集積回路ウエハ
- 114 ウエハ保持台
- 114a 本体部
- 115 Tiターゲット
- 116 ヒータプレート
- 117 冷却プレート
- 118 冷却水ライン
- 119 フランジおよびベローズ
- Qn nチャネル型MISFET
- Qp pチャネル型MISFET

【書類名】 図面

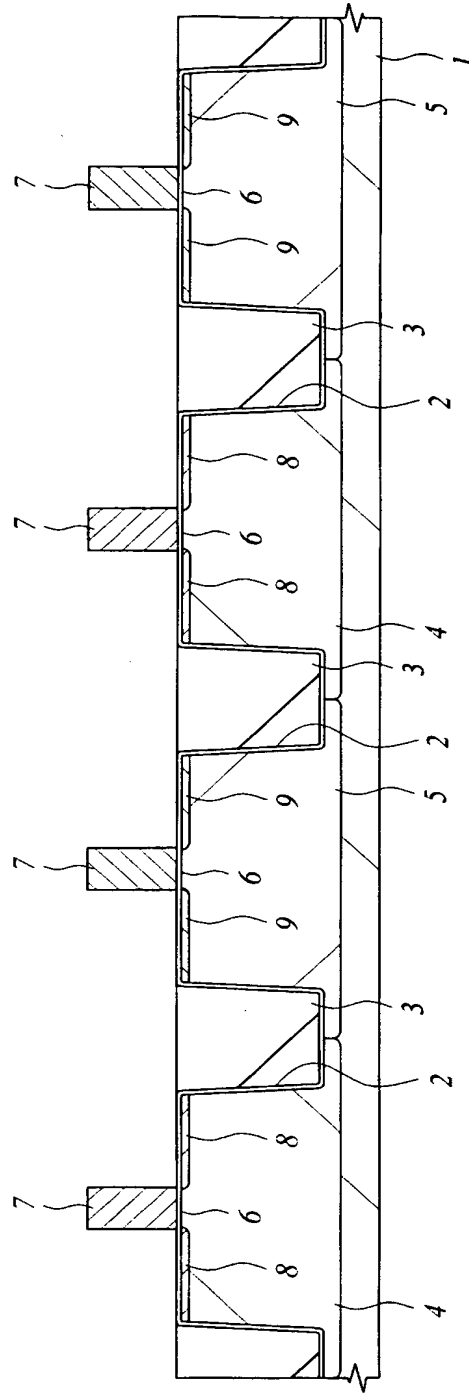
【図 1】

図 1



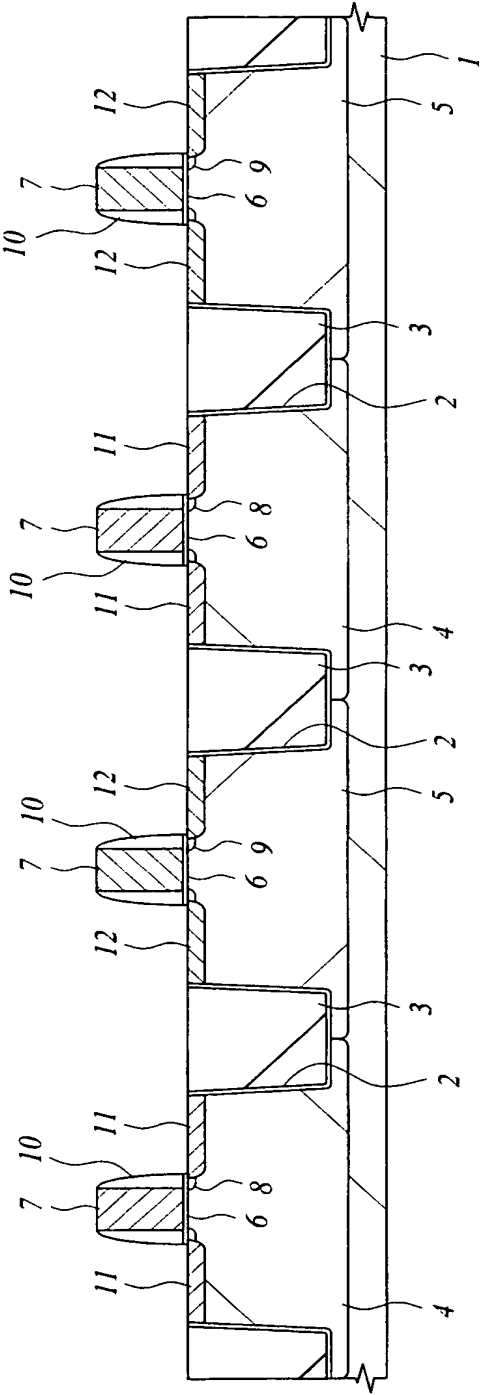
【図 2】

2

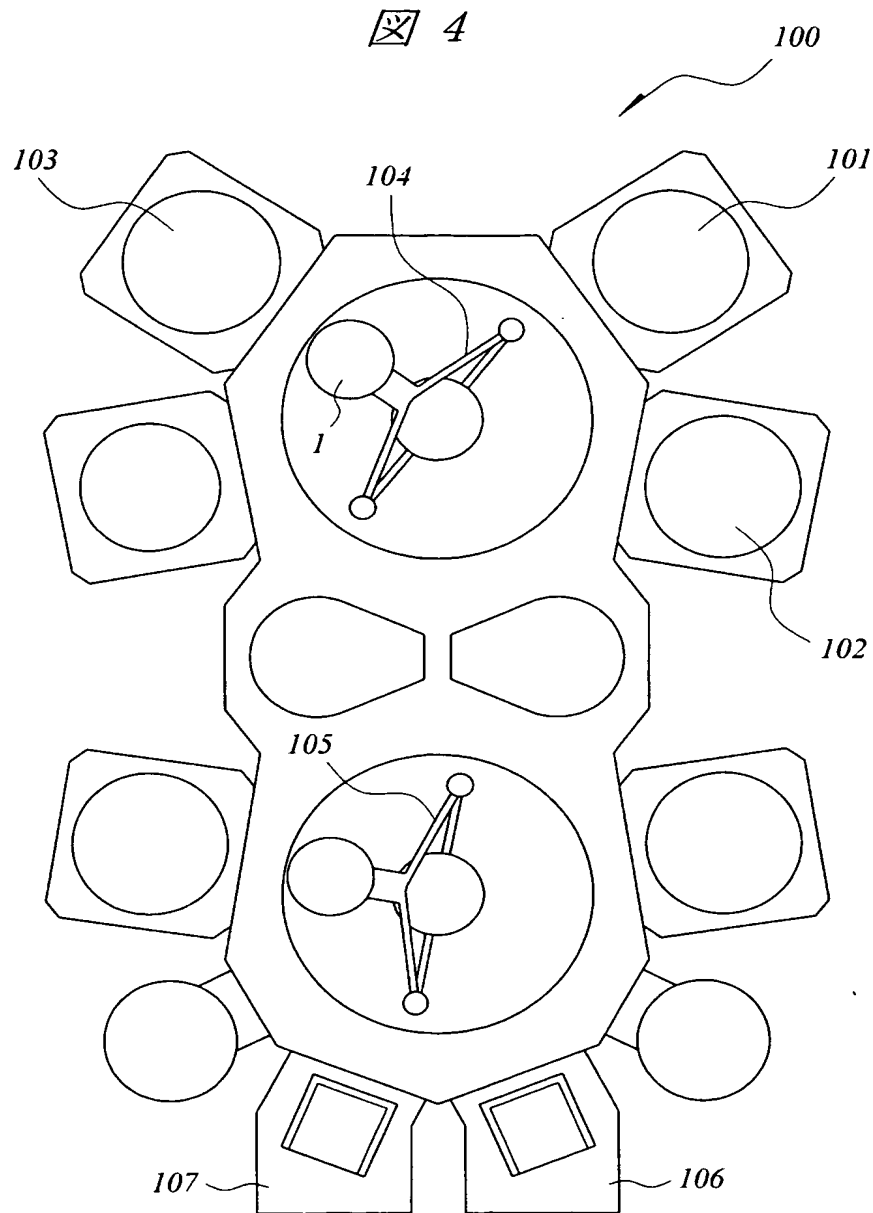


【図 3】

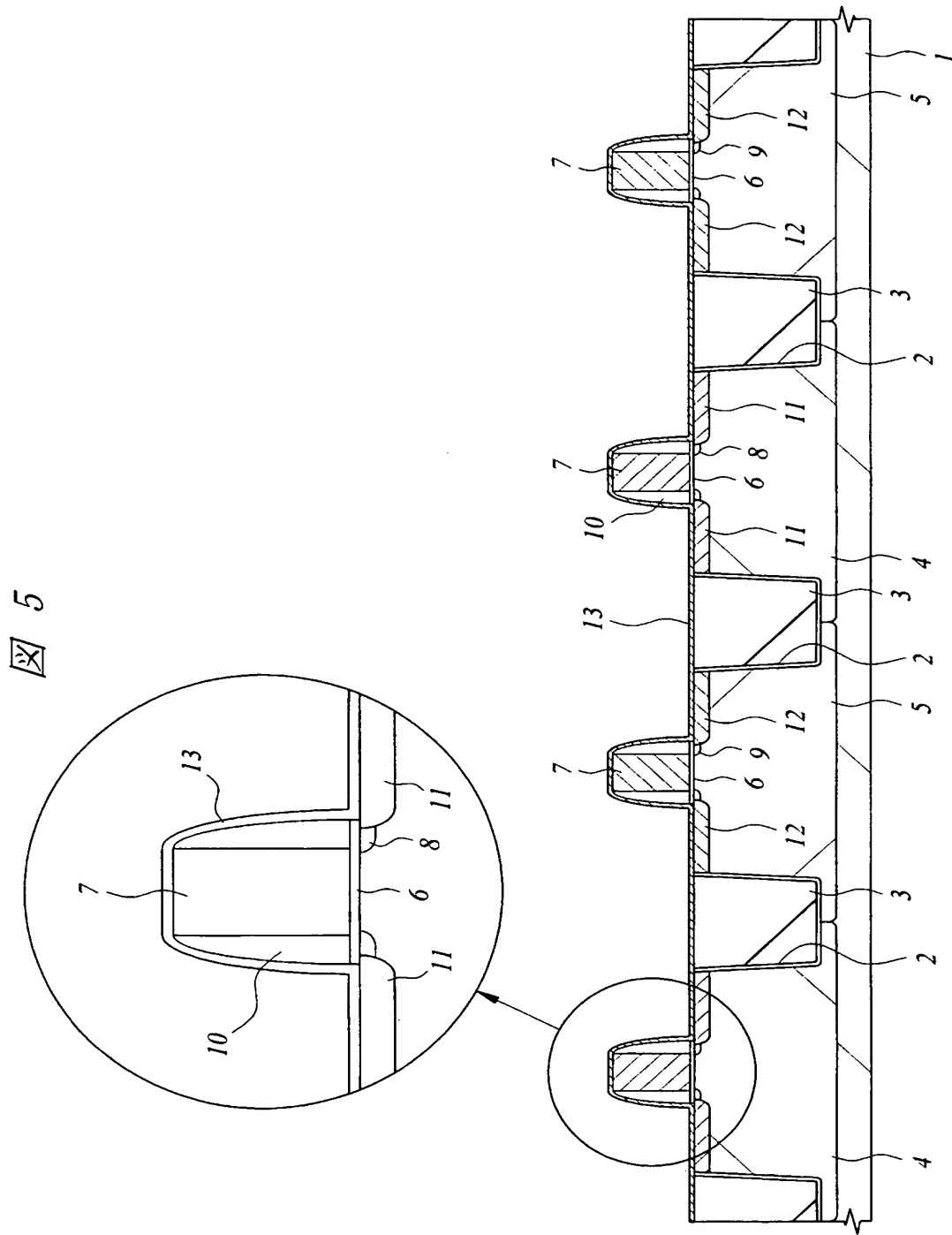
図 3



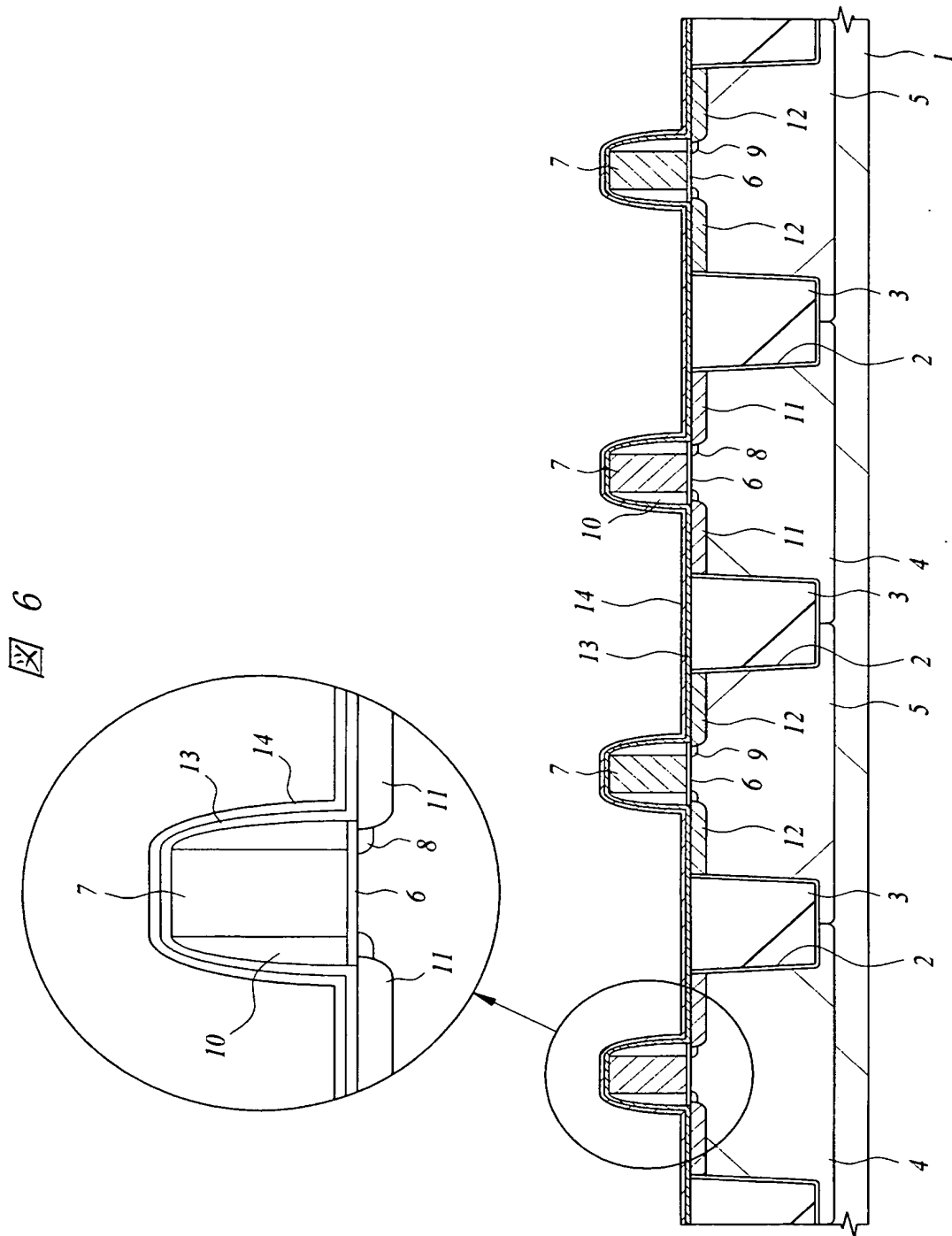
【図 4】



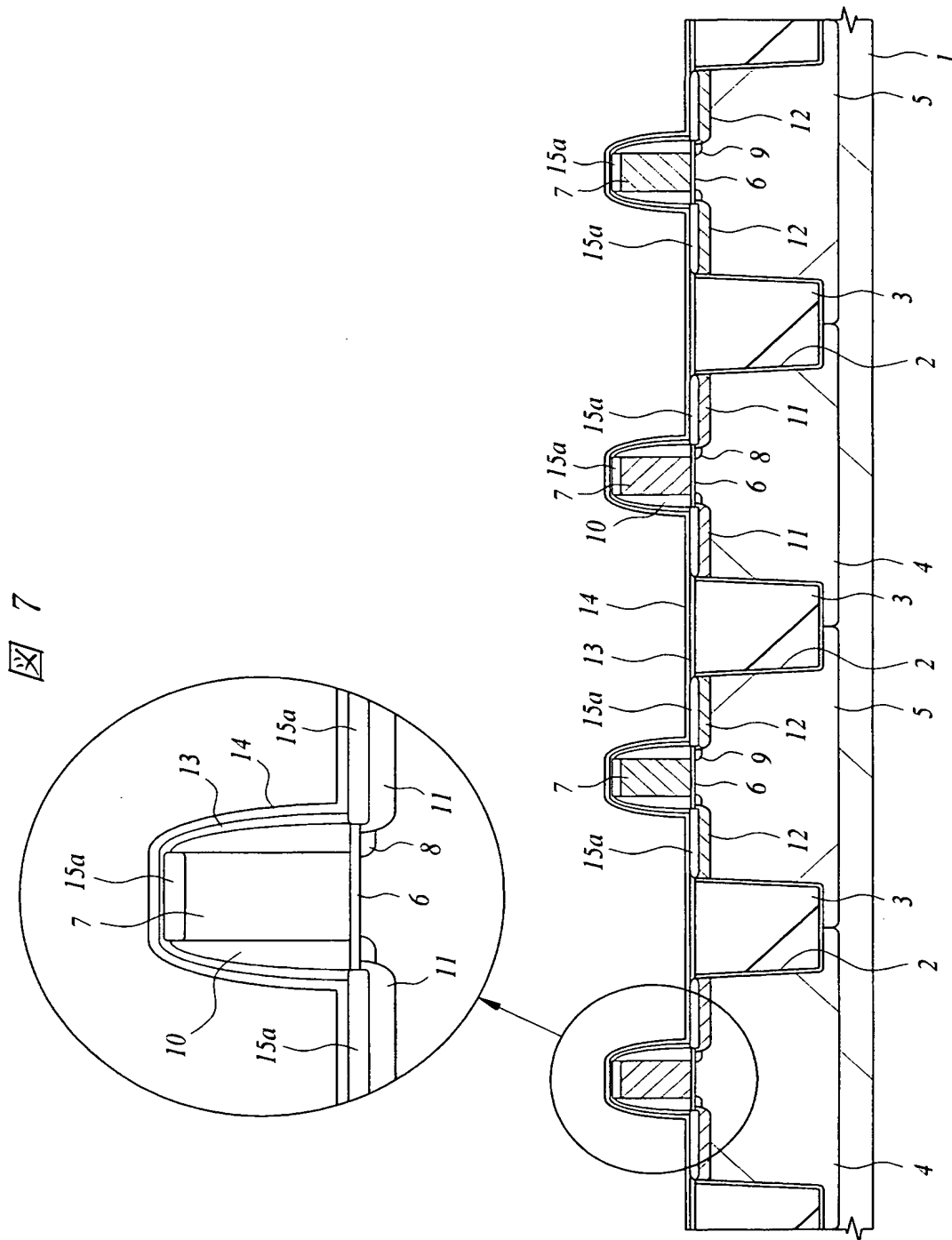
【図 5】



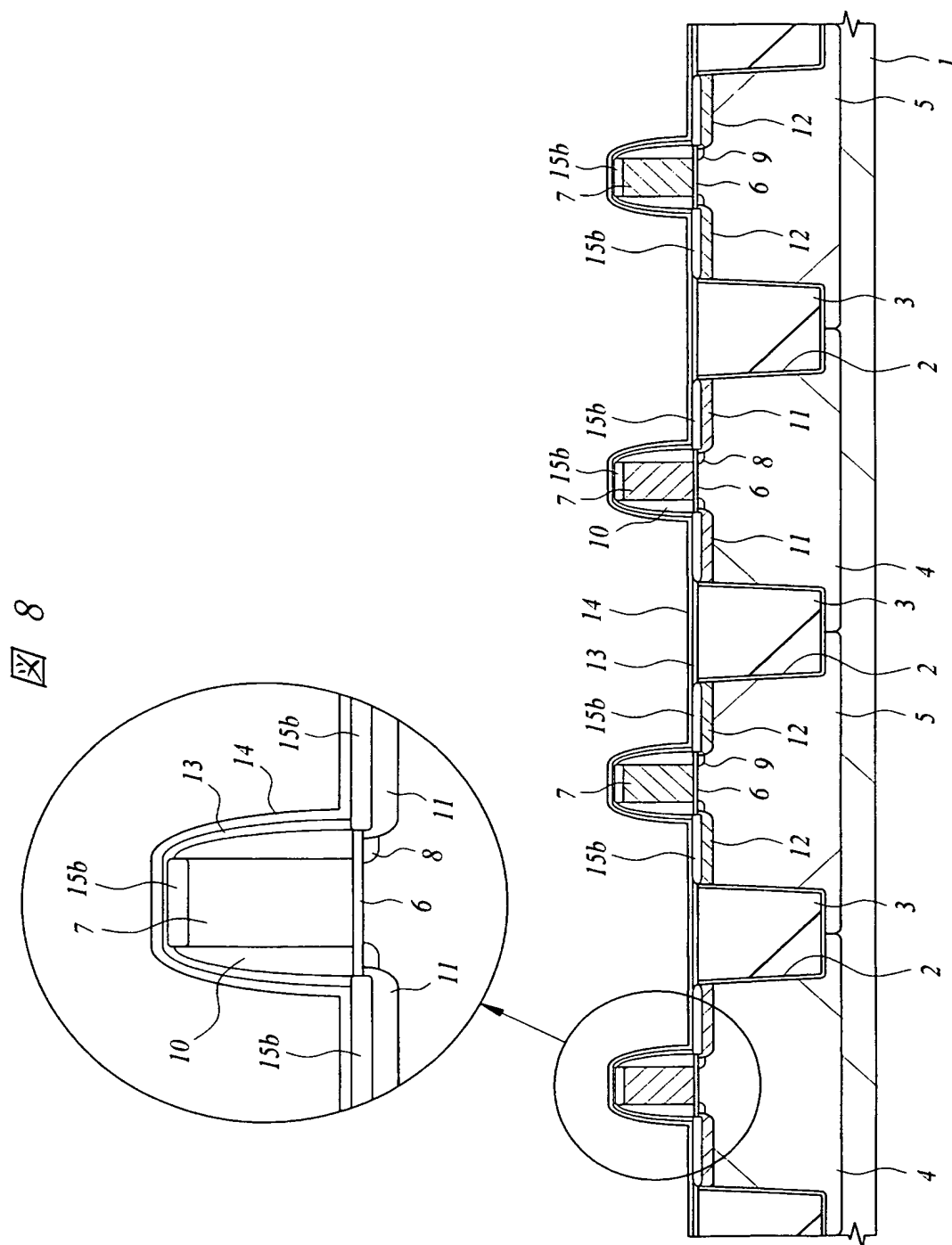
【図 6】



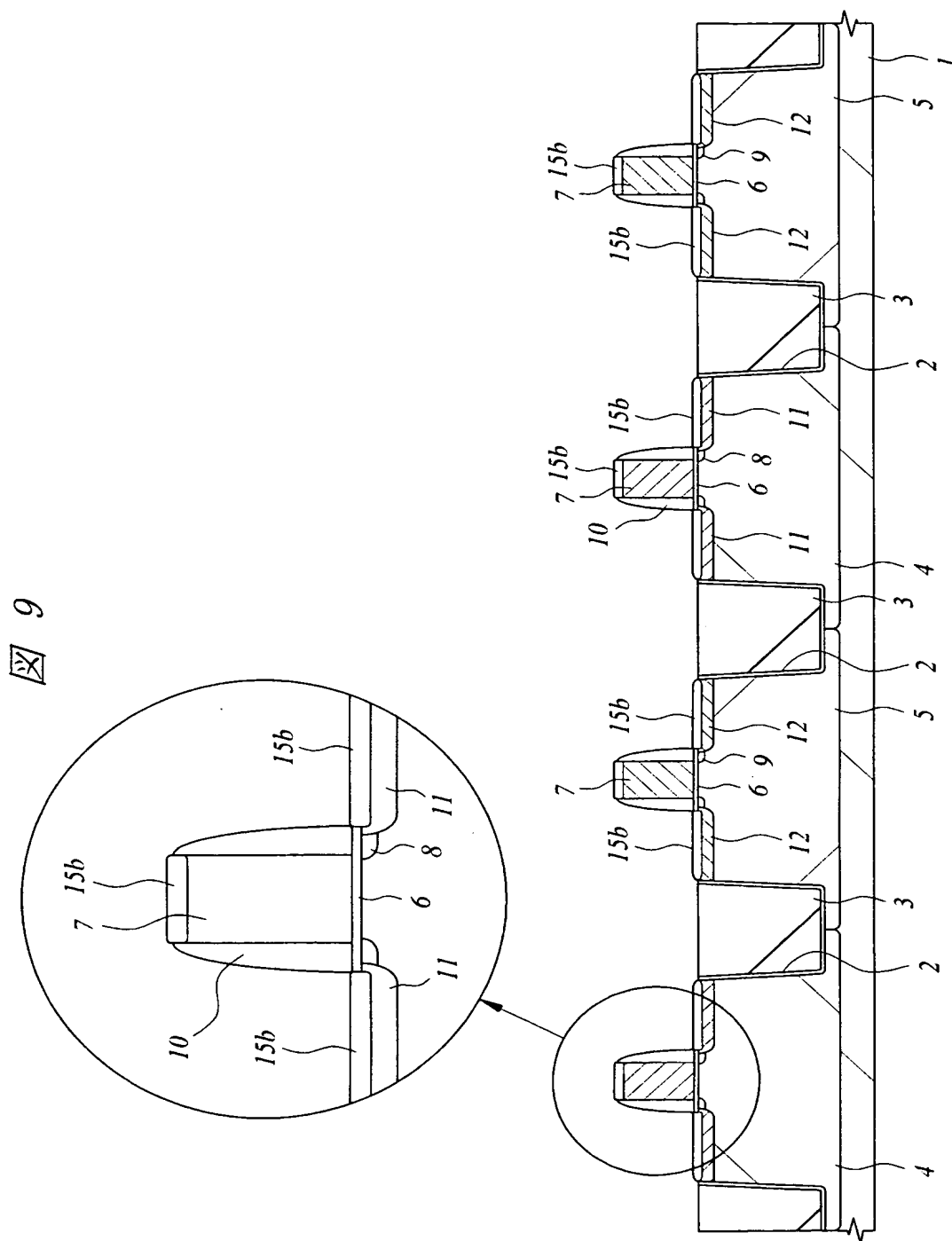
【图 7】



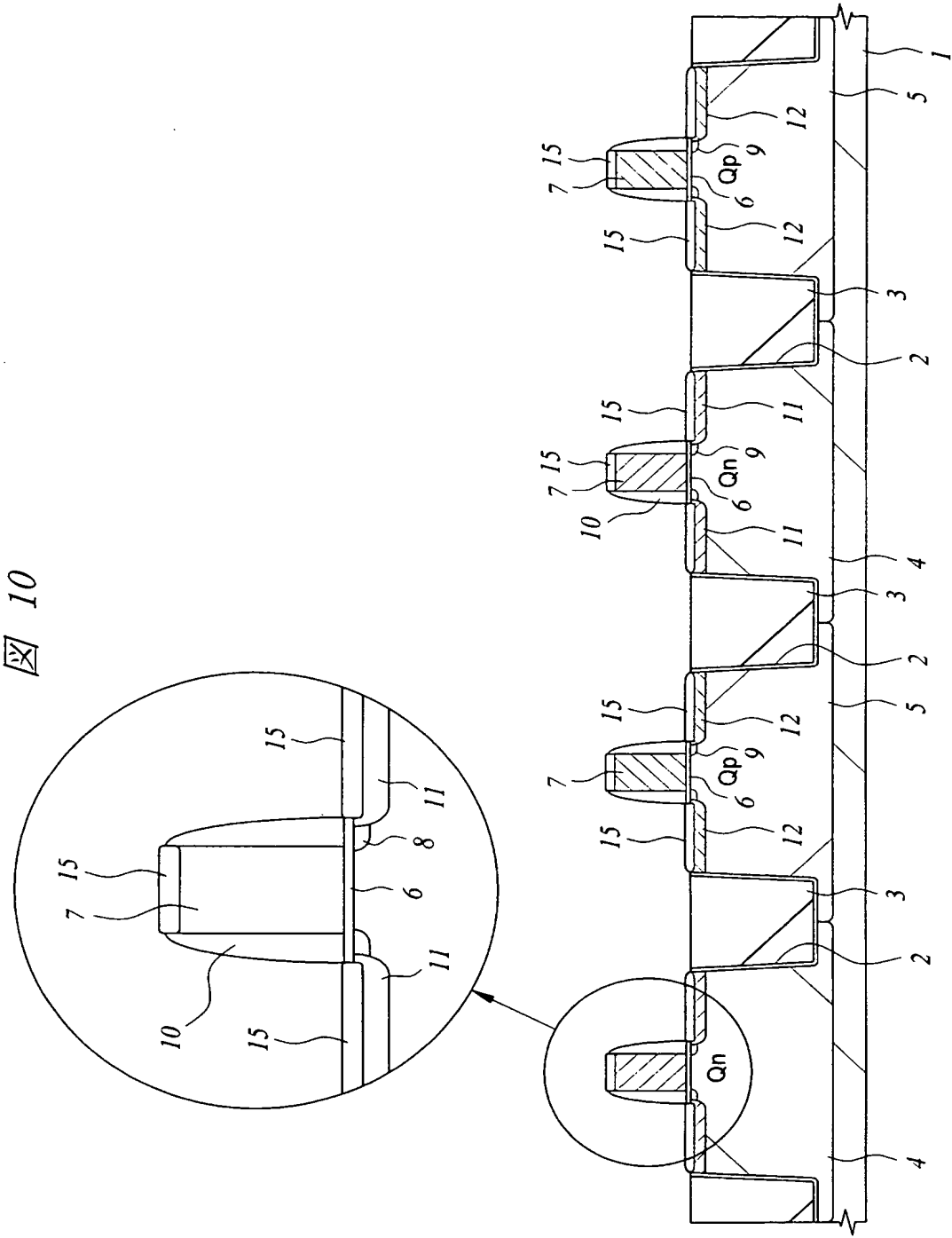
【図 8】



【図 9】

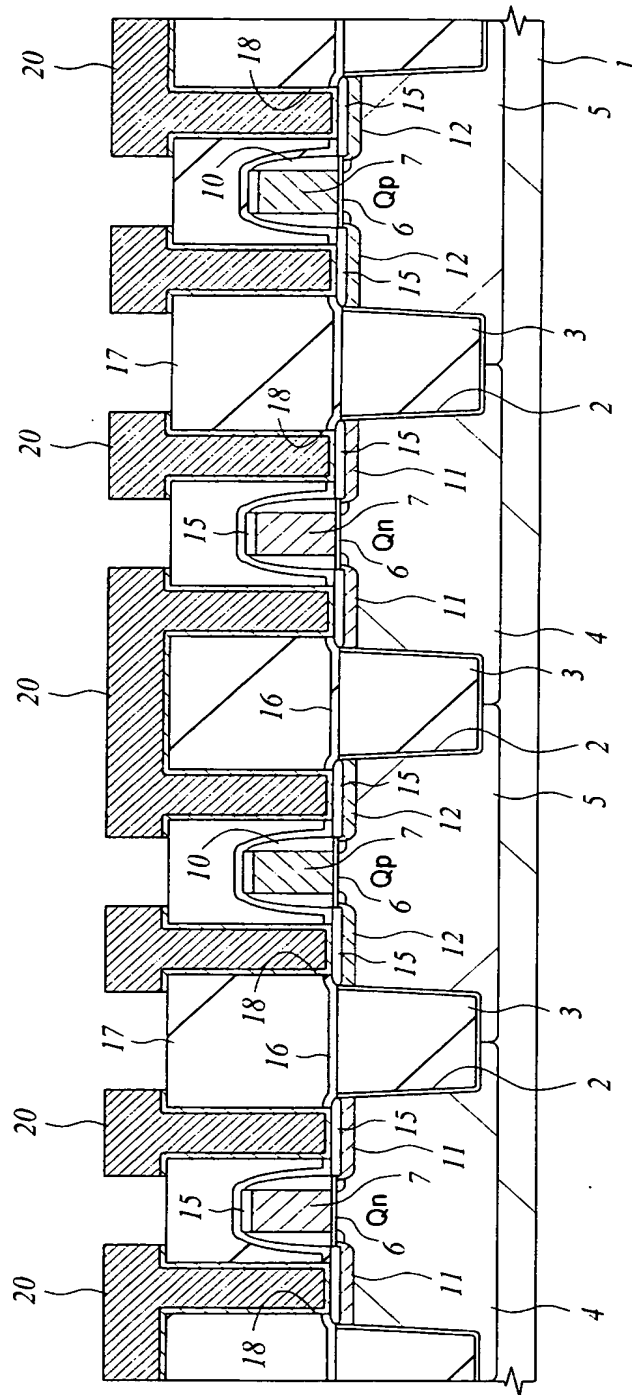


【図 10】



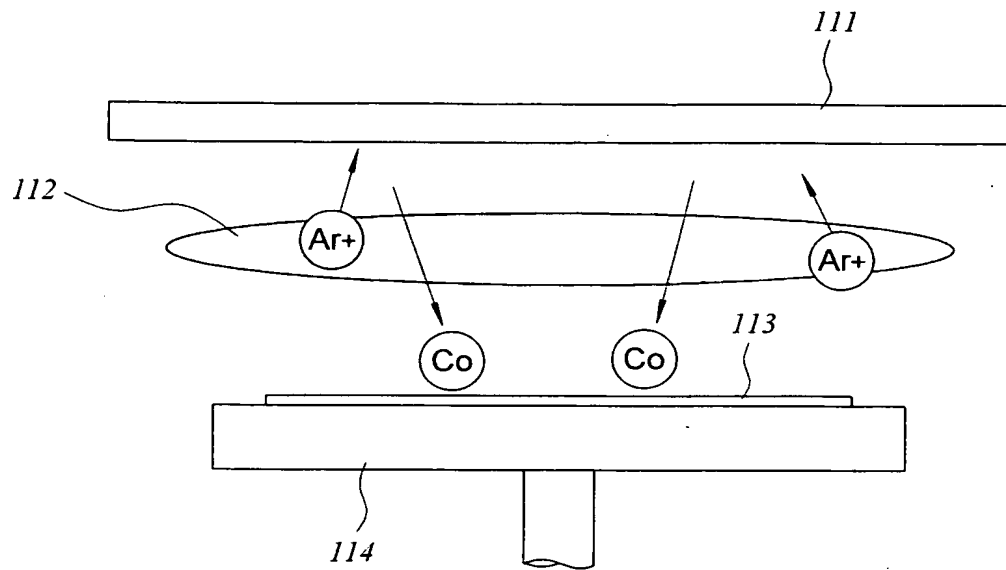
【図 11】

図 11



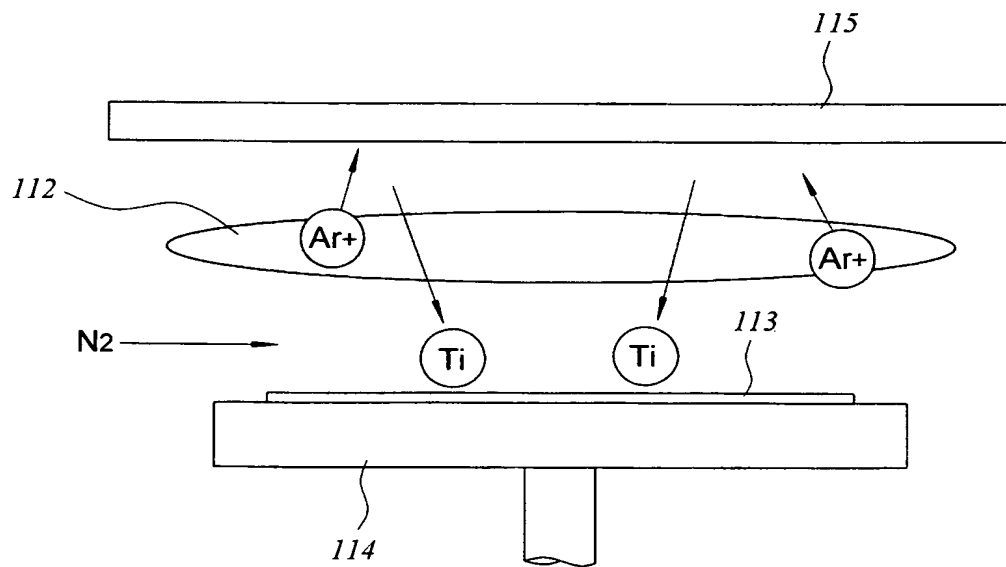
【図 12】

図 12

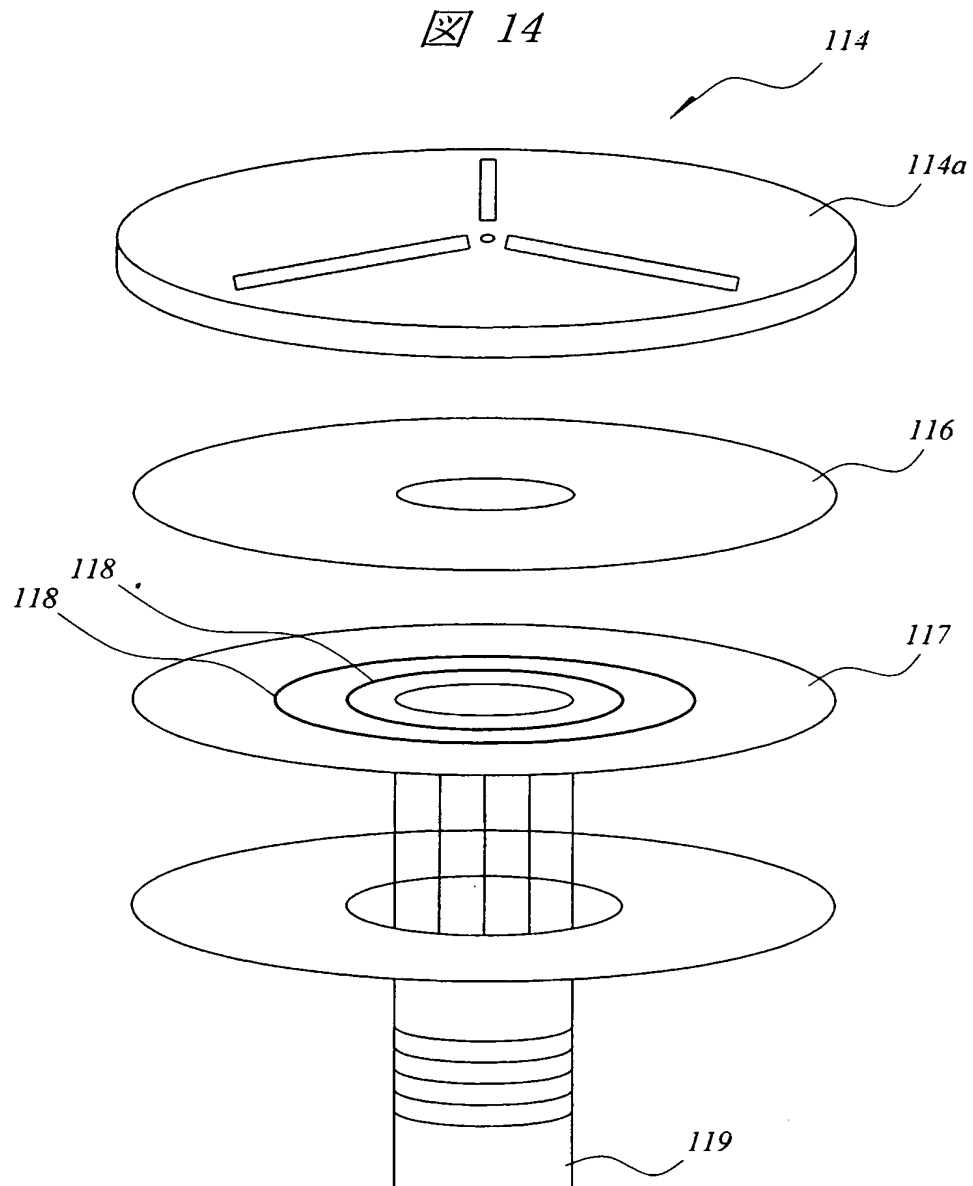


【図 13】

図 13



【図 14】



【書類名】 要約書

【要約】

【課題】 Co（コバルト）シリサイド形成時の成膜条件およびアニール条件を最適化することによって、MISFETのソース、ドレインの表面に低抵抗で、リーク電流の少ないCoシリサイド層を形成する。

【解決手段】 MISFETのソース、ドレイン（n⁺型半導体領域11、p⁺型半導体領域12）上に堆積したCo膜を熱処理してCoシリサイド層を形成する際、Co膜を200℃以下の低温で堆積した後、その後の熱処理を3回に分けて行い、Coシリサイド層をダイコバルトシリサイド（Co₂Si）層、コバルトモノシリサイド（CoSi）層、次いでコバルトダイシリサイド（CoSi₂）層15に順次変換することによって、低抵抗で接合リーク電流が少ないソース、ドレイン（n⁺型半導体領域11、p⁺型半導体領域12）を形成する。

【選択図】 図10

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-361700

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2002-361700
受付番号	50301194875
書類名	出願人名義変更届 (一般承継)
担当官	関 浩次 7475
作成日	平成15年 9月 3日

<認定情報・付加情報>

【提出日】	平成15年 7月18日
-------	-------------

特願 2 0 0 2 - 3 6 1 7 0 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]


新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所



特願 2 0 0 2 - 3 6 1 7 0 0

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ